

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09036317
PUBLICATION DATE : 07-02-97

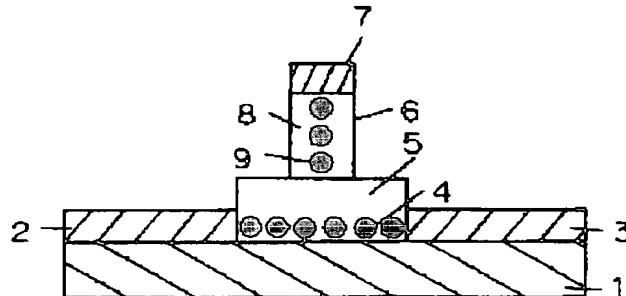
APPLICATION DATE : 17-07-95
APPLICATION NUMBER : 07179818

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : TODA TAKAO;

INT.CL. : H01L 27/10 // H01L 29/80

TITLE : MEMORY ELEMENT AND ITS
MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a memory element using Coulomb blockade effect wherein characteristics can be easily controlled by a conventional fine working method.

SOLUTION: The title memory element consists of the following; a first resistor 4 wherein fine particles of metal or semiconductor formed between a pair of electrodes 2, 3 on an insulating board 1 are dispersed, a second resistor 6 which is formed on the resistor 4 via electrically insulating material 5, and a third electrode 7 formed on the resistor 6. Electrons are stored in the first resistor 4. The change of a tunnel current flowing between the electrodes 2 and 3 which is caused by the electrostatic field generated at that time is monitored, and the memory state is confirmed.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36317

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
// H 0 1 L 29/80		7376-4M	29/80	A

審査請求 未請求 請求項の致8 O L (全 6 頁)

(21) 出願番号 特願平7-179818

(22) 出願日 平成7年(1995)7月17日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 加道 博行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 任田 隆夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

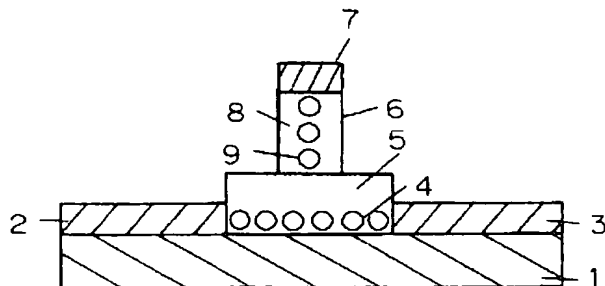
(54) 【発明の名称】 メモリ素子およびその製造方法

(57) 【要約】

【目的】 従来の微細加工方法で容易に特性を制御できるクーロンブロード効果を利用したメモリ素子を提供する。

【構成】 絶縁性基板1上の一対の電極2、3間に形成された金属あるいは半導体の微粒子が分散された第1の抵抗体4と、抵抗体4に電気絶縁体物質5を介して形成された第2の抵抗体6と、抵抗体6に形成された第3の電極7から構成され、第1の抵抗体4に電子を蓄積させ、その最に生じる静電場により生じる電極2と3の間に流れるトンネル電流の変化をモニターしてメモリ状態を確認する。

1 絶縁性基板
2, 3, 7 電極
4, 6 抵抗体
5, 8 電気絶縁性物質
9 微粒子



【特許請求の範囲】

【請求項1】基板上に形成され金属または半導体からなる複数の微粒子が絶縁層中に分散された第1の抵抗体と、前記基板上の前記第1の抵抗体の両端に形成された第1及び第2の電極と、前記第1の抵抗体上に電気絶縁性物質層を介して形成された金属または半導体からなる複数の微粒子が絶縁層中に分散された第2の抵抗体と、前記第2の抵抗体上に形成された第3の電極とを有し、前記第1の電極と前記第2の電極間に流れるトンネル電流の特性により前記第2の抵抗体中の電子の有無を判断することを特徴とするメモリ素子。

【請求項2】第1及び第2の抵抗体中に分散された金属または半導体からなる複数の微粒子の間隔が0.5nm～1nmであることを特徴とする請求項1記載のメモリ素子。

【請求項3】電気絶縁性物質層の厚みが5nm以下であることを特徴とする請求項1記載のメモリ素子。

【請求項4】金属あるいは半導体の微粒子の直径が50nm以下であることを特徴とする請求項1記載のメモリ素子。

【請求項5】第1の抵抗体、第2の抵抗体および第1の抵抗体と第2の抵抗体間の電気絶縁性物質が層状に積層されたことを特徴とする請求項1記載のメモリ素子。

【請求項6】基板上に所定の間隔をおいて第1及び第2の電極を形成する工程と、前記第1及び第2の電極が形成された前記基板上に金属または半導体からなる複数の微粒子が絶縁層中に分散された第1の抵抗体を形成する工程と、前記第1の抵抗体に電気絶縁性物質層を介して金属または半導体からなる複数の微粒子が絶縁層中に分散された第2の抵抗体を形成する工程と、前記第2の抵抗体上に第3の電極を形成する工程とを有するメモリ素子の製造方法であって、前記電気絶縁性物質層を層状に積層することを特徴とするメモリ素子の製造方法。

【請求項7】第1あるいは第2の抵抗体を電気絶縁性物質と金属または半導体からなる微粒子とを交互に堆積させることにより形成することを特徴とする請求項6記載のメモリ素子の製造方法。

【請求項8】第1または第2の抵抗体を熱処理する工程を付加したことを特徴とする請求項6記載のメモリ素子の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明はトンネル接合を利用した電子1個単位で動作が可能なメモリ素子およびその製造方法に関するものである。

【0002】

【従来の技術】情報化社会を支えるLSIは、半導体素子すなわちトランジスタの微細化により高集積化を行っている。また、素子を微細化することにより、キャリアの走行距離や容量が縮小され、高速化等、LSIの高性

能化が可能となる。現在量産が進んでいる16MDRAMでは、ゲート長が0.5 μ m、また、サンプル出荷が行われ始めた64MDRAMでは、ゲート長が0.35 μ m程度となっており、研究段階では0.1 μ m以下のゲート長でも動作確認が行われている。

【0003】しかし、このような素子の微細化をさらに進めた場合、ゲート電極と半導体基板間にトンネル漏れ電流が発生するなど物理的な問題や、さらには、1動作当りの電子数が減ってくるために、統計的な電子数のゆらぎが増大し、誤動作を起こし易くなるといった根本的な問題が発生する。このために、現在のLSIのように、電子の統計的な性質に動作の基礎をおくのではなく、個々の電子を制御することにより動作する単一電子トンネル素子が提案されている。この素子の特徴は、微細化が進む程、動作が完全になり究極の特性を引き出せる点にあり、例えばこれをメモリに応用することにより、人間の脳より6桁速く、現在の半導体メモリより6桁大容量のメモリが得られる。

【0004】

【発明が解決しようとする課題】単一電子トンネル素子は、クーロンブロック効果にその動作原理を置いているが、この効果を引き出すには、トンネル接合で挟まれた島の静電容量を小さくする必要がある。特に室温動作を考えると、島の静電容量を1aF以下にする必要があり、このような構造を作製するためには、nmレベルの構造形成技術が必要である。

【0005】現在、このような微細構造を作製する技術は乏しく、自然構造を利用した素子がいくつか提案されている。例えば、"Appl. Phys. Lett., Vol.61, 1992, p3145"に記載されているような原子層ドーピングGaAs細線の横にサイドゲートを設けた単一電子トンネル素子や、"Proc. IEDM, 1993, p541"に記載されているような極薄ポリシリコンをチャンネルとして用いた単一電子トンネル素子が作製されている。しかし、前者はGaAs細線中に存在す荷電不純物のランダム配置を利用してトンネル接合を形成し、また後者はポリシリコン中のグレインを島として利用し、電子が流れ易い部分をチャンネルとしているため、どちらもその構造を制御性良く作製することが難しく、作製される素子にもその特性にばらつきが現れていた。

【0006】本発明は、前記従来技術の課題を解決し、比較的シンプルな構成から成り、従来の微細加工方法でクーロンブロック特性を制御できるメモリ素子およびその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】前記目的を達成するため、本発明のメモリ素子は、第1および第2の電極間に、少なくとも金属あるいは半導体の複数の微粒子を含む第1の抵抗体が形成され、前記第1の抵抗体に電気絶縁性物質を介して、少なくとも金属あるいは半導体の複

数の微粒子を含む第2の抵抗体が形成され、前記第2の抵抗体に第3の電極が形成された構成であることを特徴とする。

【0008】前記構成において、電圧印加により抵抗体に流れる電流が、少なくとも1つ以上の微粒子を介して流れるトンネル電流であることが好ましい。

【0009】また、第1の抵抗体、第2の抵抗体および第1の抵抗体と第2の抵抗体間の電気絶縁性物質が層状に積層された構成であることが好ましい。

【0010】また、微粒子は、電気絶縁性物質で分離されていることが好ましい。また、微粒子間の電気絶縁性物質および第1の抵抗体と第2の抵抗体間の電気絶縁性物質が同一の材料であることが好ましい。

【0011】また、金属あるいは半導体の微粒子の直径が50nm以下であることが好ましい。

【0012】また、電気絶縁性物質が酸化物または窒化物であることが好ましい。次に、本発明のメモリ素子の製造方法は、第1および第2の電極間に、少なくとも金属あるいは半導体の複数の微粒子を含む第1の抵抗体を形成する工程と、前記第1の抵抗体に電気絶縁性物質を介して、少なくとも金属あるいは半導体の複数の微粒子を含む第2の抵抗体を形成する工程と、前記第2の抵抗体に第3の電極を形成する工程からなるメモリ素子の製造方法であって、前記第1と第2の抵抗体と前記第1と第2の抵抗体間の電気絶縁性物質を、層状に積層することを特徴とする。

【0013】前記構成において、第1あるいは第2の抵抗体は、電気絶縁性物質と金属あるいは半導体微粒子とを交互に堆積させることにより形成することが好ましい。

【0014】また、第1あるいは第2の抵抗体は、電気絶縁性物質と金属あるいは半導体微粒子とを同時に堆積させることにより形成することが好ましい。

【0015】また、第1あるいは第2の抵抗体を熱処理し、金属あるいは半導体微粒子の大きさまたは密度を制御することが好ましい。

【0016】

【作用】本発明の構成によれば、第1と第2の電極間に電圧を印加すると、電子がトンネル効果により第1の抵抗体中の微粒子を通過して電極間を移動しチャンネルを形成する。一方チャンネルに対して第3の電極の電圧を下げると、第3の電極から第2の抵抗体中の微粒子に電子がトンネル効果により1個ずつ移動し、逆に電圧を上げると微粒子内の電子は1個ずつ出ていく。しかし第3の電極への印加電圧を0にしても、クーロンブロック効果により、電子は第2の抵抗体中の微粒子内に残り、第2の抵抗体中の微粒子の電位は0にはならない。この電位の影響を受けて、第1と第2の電極間に形成されたチャンネルを流れる電流は変化する。したがって、第2の抵抗体中の微粒子内の電子数を情報として記録するこ

とが可能なメモリが実現する。この場合、チャンネルを流れる電流を検出することにより情報の読み出しが可能となる。

【0017】また、第1の抵抗体、第2の抵抗体および第1の抵抗体と第2の抵抗体間の電気絶縁性物質が層状に積層された構成にすることにより、第1と第2の抵抗体の間隔を電気絶縁性物質の膜厚で制御でき、特性の制御が容易な素子構成となる。

【0018】また、微粒子を電気絶縁性物質で分離し埋め込むことにより、安定なトンネル電流を流すことができる。

【0019】また、微粒子間の電気絶縁性物質および第1の抵抗体と第2の抵抗体間の電気絶縁性物質を同一の材料で構成することにより効率的に素子が作製できる。

【0020】また、金属あるいは半導体の微粒子の直径を50nm以下とすることにより、トンネル接合部の静電容量が小さくなり、比較的高温（室温程度）で動作させることができる。

【0021】また電気絶縁性薄膜を酸化物または窒化物で構成することにより、腐食性ガス中や高温雰囲気中においても安定に動作する素子を実現できる。

【0022】さらに、本発明の製造方法によれば、金属あるいは半導体微粒子を各種成膜技術により堆積させることや、電気絶縁性物質と金属あるいは半導体微粒子を交互にあるいは同時に堆積させることで抵抗体を容易に作製することができ、さらに第1と第2の抵抗体間の距離も電気絶縁性物質の膜厚で調整できるため比較的容易にメモリ素子の特性の制御が可能となる。さらに、第1あるいは第2の抵抗体の形成と、電気絶縁性物質の堆積と、その表面へのもう一方の抵抗体の形成が連続的にできるため効率よく製造することが可能となる。

【0023】また、電気絶縁性物質と金属あるいは半導体微粒子を交互に堆積させることで制御性よく抵抗体を作製することができる。

【0024】また、電気絶縁性物質と金属あるいは半導体微粒子を同時に堆積させることで高速に抵抗体を作製することができる。

【0025】また、抵抗体の熱処理で微粒子の大きさや密度を制御することによって所望の特性の抵抗体が得られる。

【0026】

【実施例】以下に本発明の実施例におけるメモリ素子について説明する。

【0027】図1は本発明の実施例におけるメモリ素子の断面構成図を示したものである。メモリ素子は、絶縁性基板1上の一対の電極2、3間に形成された金属あるいは半導体の微粒子が分散された第1の抵抗体4と、抵抗体4上に電気絶縁性物質5を介して形成された第2の抵抗体6と、抵抗体6上に形成された第3の電極7から構成される。

【0028】電極7と電極2（あるいは電極3）間に電圧を印加すると電子は電気絶縁性物質8をトンネル効果により移動し微粒子9に蓄えられる。この状態において、蓄積された電子により微小な静電場が発生する。上記の静電場により、電極2と電極3間に流れるトンネル電流は微粒子9内に電子が存在する場合と存在しない場合で異なり、トンネル電流値あるいはトンネル電流が流れ始める電圧値（I-V特性）等を読み出せば微粒子9内の電子状態が検出できる。以上の動作から、微粒子9内の電子状態を記録情報としたメモリが実現する。

【0029】このメモリ素子の具体的な素子構造ならびに製造方法を図2にしたがって説明する。図2は、本実施例のメモリ素子の断面図を示したものである。メモリ素子は、Si基板10表面の熱酸化膜11上に100nmの間隔で形成された一对の電極12、13表面に、平均粒径が5nmのAu微粒子がSiO₂中に0.5～1nm程度の間隔で分散された抵抗体薄膜14が形成され、その上に電気絶縁性物質である厚さ20nmのSiO₂薄膜15を介して、SiO₂中に平均粒径が5nmのAu微粒子が分散された厚さ30nmの抵抗体薄膜16が形成され、さらにその上に第3の電極17が形成された構成である。上記のようにAu微粒子がSiO₂中に0.5～1nmの間隔で形成されなければ、トンネル電流を確実に流すことはできない。また、本実施例ではSiO₂薄膜15の厚みを20nmとしたが、最低5nm以上の膜厚にしなければ、抵抗体6中に蓄積された電子がトンネル電流として抵抗体4に流れてしまう。従って、電気絶縁性物質であるSiO₂薄膜15は5nm以上が必要となる。

【0030】電極12および電極13は、厚さ10nmのCr薄膜を真空蒸着後、厚さ0.1μmのAu薄膜を真空蒸着し、リソグラフィーにより作製した。

【0031】抵抗体薄膜14、16およびSiO₂薄膜15は図3に示すスパッタリング装置を用いて作製した。スパッタターゲットには石英（SiO₂）ガラスターゲット18とAuターゲット19を用いた。Si熱酸化膜11上に電極12と電極13を有する基板20はヒーター21を備えた基板ホルダ22に固定され、これに直結した回転軸により回転させることによって、SiO₂ターゲット18またはAuターゲット19のいずれかのターゲット上方に持ってくるができる。基板20の位置と各ターゲット上方での滞在時間とはコンピュータで制御されている。スパッタリング中のコンタミネーションを防ぐため、各ターゲット周囲、およびその延長上を覆う形のシールド板23を設けている。スパッタリングガスにはアルゴンを用い、ガス導入口24から流入させ、ガス排出口25を真空排気系に接続して、ガス圧を1.0Pa、基板温度を200℃、SiO₂ターゲット18への印加電力は250W、Auターゲット19への印加電力は10Wとした。

【0032】まず、基板20をAuターゲット19の上で20秒間滞在させてAu微粒子からなる抵抗体薄膜14を堆積させた。次に、基板20を回転させてSiO₂ターゲット18の上で2分間滞在させて厚さ20nmのSiO₂膜15を堆積させた。この方法で作製したAu微粒子を透過型電子顕微鏡で断面観察したところ、Auの平均粒径は5nmであることがわかった。

【0033】次にこの抵抗体薄膜14表面に厚さ30nmの抵抗体薄膜16を同じ装置でAuとSiO₂を順次堆積させることにより作製し、その表面に電極17をCrとAuの真空蒸着とリソグラフィーにより形成することによりメモリ素子を完成した。

【0034】上記の実施例では、電極12、電極13、および電極17は、Au/Cr薄膜を用いたが、金属、半導体など用途に応じて各種導電性材料を用いることができる。例えば、本実施例で用いたSi基板10として、低抵抗Siを用い、これを電極17として利用することも可能である。この場合、素子構成は、Si基板10上に抵抗体薄膜16、SiO₂薄膜15、抵抗体薄膜14（あるいは電極12、13）、電極12、13（あるいは抵抗体薄膜14）の順に薄膜が形成された構成になる。

【0035】また、抵抗体薄膜16は、Auターゲット19と絶縁物ターゲット18をそれぞれ1回づつスパッタすることにより製造したが、基板20をAuターゲット19上と、絶縁物ターゲット18上に交互に滞在させる操作を繰り返すことにより、粒径の揃ったAu微粒子を電気絶縁性物質中に分散させることができた。また、基板20を2つのターゲット18、19の間の上方に設置し、Auと絶縁物を同時にスパッタすることによってもAu微粒子を電気絶縁性物質中に分散した抵抗体薄膜を作製することができる。

【0036】また、抵抗体薄膜14はAu微粒子のみで製造したが、抵抗体薄膜16と同様に電気絶縁性物質中に分散させてもよい。

【0037】以上の製造方法によれば、抵抗体薄膜14、16およびSiO₂薄膜15が同じ装置で連続的に作製することが可能であり、効率よく製造することができる。

【0038】さらに、抵抗体薄膜を構成する微粒子としては、熱的、化学的に安定な材料である貴金属などを用いることが望ましい。微粒子の大きさは50nm以下とするのが、作製上および微粒子間距離をnmのレベルで比較的均一にする上で望ましいが、基本的には微粒子間距離をトンネル電流が流れる大きさにすることが重要である。実際にトンネル電流が流れる微粒子間距離は0.5nm～2nmであり、微粒子間を電気絶縁性物質で埋め込む場合の抵抗体薄膜14、16中の電気絶縁性物質に対する微粒子の割合は、体積比で5～70%の領域で比較的高温で動作するメモリ素子が得られた。

【0039】また、電気絶縁性物質および電気絶縁性薄膜15の材料は酸化物、窒化物、有機材料など、トンネル電流の変化を検出できる程度に導電性が低い材料であればよい。

【0040】なお、Auターゲットを、アルミニウム(A1)、珪素(Si)、リン(P)、硫黄(S)、クロム(Cr)、マンガン(Mn)、鉄(Fe)、コバルト(Co)、ニッケル(Ni)、銅(Cu)、亜鉛(Zn)、ガリウム(Ga)、ゲルマニウム(Ge)、ヒ素(As)、セレン(Se)、パラジウム(Pd)、銀(Ag)、カドミウム(Cd)、インジウム(In)、鉛(Sn)、アンチモン(Sb)、テルル(Te)、白金(Pt)、金(Au)、または鉛(Pb)から選ばれた少なくとも1種の金属あるいは半導体のターゲットに代えて作製しても、粒径1~50nmの金属あるいは半導体の微粒子が均一に分散した多重トンネル接合が得られた。

【0041】また、上記実施例においては電気絶縁性物質としてSiO₂を用いた場合を示したが、窒化珪素(Si₃N₄)、酸化アルミニウム(Al₂O₃)、窒化アルミニウム(AlN)、酸化チタン(TiO₂)、酸化ハフニウム(HfO₂)を用いても耐食性に優れた抵抗体薄膜14、16を製造できた。これらの電気絶縁性物質は、酸化物や窒化物をスパッタリングして作製できるが、珪素やアルミニウムなどの半導体材料や金属材料を酸素や窒素を含む雰囲気中でスパッタリングすることによっても作製することができた。

【0042】さらに、メモリ素子は、熱処理を行なうことにより特性を向上することができた。この熱処理は用いた金属あるいは半導体材料の融点の5分の1から5分の3の間の温度で行なうのが適切であった。熱処理により粒径が増大するとともに、粒径も揃い、微粒子結晶中の歪や欠陥が除去されるため、特性が向上したものと考えられる。電気絶縁性物質として窒化物材料を用いた場合は熱処理による粒径の増大は僅かであったが、特性の安定化をはかることができた。この場合粒径はスパッタリング中の基板温度により制御できた。

【0043】スパッタリング中の基板温度を高くしたり、熱処理を行なうことにより微粒子の角がとれ、なめらかになったが、なめらかな微粒子の方が角ばった微粒子よりも初期特性が優れていた。これはトンネル電流は微粒子表面の状態に影響を受け易いため、表面がなめら

かな微粒子の方が安定した表面となり、安定したトンネル電流が流れたためと考えられる。

【0044】

【発明の効果】以上説明したように、本発明のメモリ素子によれば、従来の薄膜製造方法により、金属あるいは半導体の微粒子を均一に1nm程度のギャップで分離した多重トンネル接合が得られ、また、膜厚方向の制御でその特性を制御できるため、従来の微細加工方法でクローンブロッケードを利用したメモリ素子が得られる。また耐食性に優れた電気絶縁性薄膜を用いることができるため、信頼性、長期安定性に優れたメモリ素子を提供することができる。

【0045】また、本発明の製造方法によれば、金属あるいは半導体の種類、微粒子の大きさ、密度、微粒子間距離などを制御し易く、特性の優れたメモリ素子を再現性良く製造することができる。

【図面の簡単な説明】

【図1】本発明の実施例におけるメモリ素子の構成断面図

【図2】本発明の実施例におけるメモリ素子の構造断面図

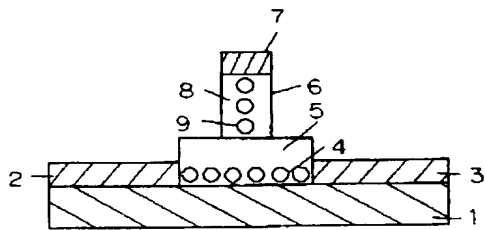
【図3】本発明の実施例におけるメモリ素子の製造に用いる製造装置の概略図

【符号の説明】

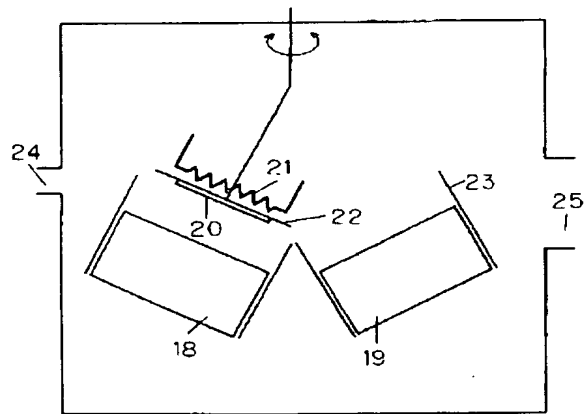
- 1 絶縁性基板
- 2、3、7、12、13、17 電極
- 4、6 抵抗体
- 5、8 電気絶縁性物質
- 9 微粒子
- 10 Si基板
- 11 Si熱酸化膜
- 14、16 抵抗体薄膜
- 15 SiO₂薄膜
- 18 石英ガラスターゲット
- 19 Auターゲット
- 20 基板
- 21 ヒーター
- 22 基板ホルダ
- 23 シールド板
- 24 ガス導入口
- 25 ガス排出口

【図1】

- 1 絶縁性基板
 2,3,7 電極
 4,6 抵抗体
 5,8 電気絶縁性物質
 9 微粒子



【図3】



【図2】

